

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076324

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 29/06  
H01L 21/28  
H01L 29/43  
H01L 29/78  
H01L 29/786  
H01L 21/338  
H01L 29/812  
H01L 21/337  
H01L 29/808

(21)Application number : 2000-263943

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 31.08.2000

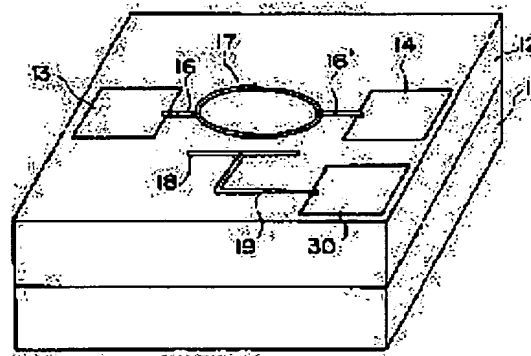
(72)Inventor : WATANABE HIROYUKI  
SHIMIZU MASAOKI  
MANABE TSUTOMU

## (54) TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the transistor of a nanometer size which can be operated at high speed and operates at a room temperature by using a carbon nanotube for a semiconductor element.

SOLUTION: In the transistor, carbon nanotube rings 16 and 17 having semiconductor characteristics are used as semiconductor materials or carbon nanotube rings 18 and 19 having conductive or semiconductor characteristics as electrode materials.



## LEGAL STATUS

[Date of request for examination]

20.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The transistor characterized by using the carbon nanotube ring which has a semi-conductor property as a semiconductor material.

[Claim 2] The transistor according to claim 1 characterized by connecting two electrodes to said carbon nanotube ring, and coming to prepare a control electrode in near and the estranged location of this carbon nanotube ring.

[Claim 3] The transistor according to claim 2 by which it is using-as electrode material of two electrodes connected to said carbon nanotube ring-carbon nanotube which has conductivity characterized.

[Claim 4] The transistor according to claim 3 to which the diameter of the carbon nanotube which has said conductivity is characterized by 1nm or more being 1 micrometer or less.

[Claim 5] The transistor characterized by the thing it comes to prepare in the tooth-back side of the field in which said carbon nanotube ring of said insulating thin film was laid for said control electrode by being a transistor given in any 1 of claims 2-4, and laying said carbon nanotube ring so that a ring side may contact an insulating thin film front face.

[Claim 6] The transistor to which it is a transistor given in any 1 of claims 2-4, said carbon nanotube ring is laid so that a ring side may contact an insulating substrate front face, and said control electrode is characterized by the thing it comes to prepare in near and the estranged location of said carbon nanotube ring of said insulating substrate front face.

[Claim 7] The transistor characterized by the thing it comes to prepare in the upper part at the pan of said carbon nanotube ring with which it is a transistor given in any 1 of claims 2-4, said carbon nanotube ring was laid so that a ring side might contact an insulating substrate front face, and the control electrode was laid in said insulating substrate front face.

[Claim 8] The transistor characterized by using the carbon nanotube ring which has conductivity or a semi-conductor property as electrode material.

[Claim 9] The transistor characterized by the thing are a transistor according to claim 8, said carbon nanotube ring is laid so that a ring side may contact a semi-conductor substrate front face, and constitute a control electrode, prepare the electrode of 1 in the part expressed from opening of said carbon nanotube ring of said semi-conductor substrate front face, and it comes to prepare other electrodes in near and the estranged location of said carbon nanotube ring of said semi-conductor substrate front face further.

[Claim 10] The transistor by which it is using [ for the carbon nanotube ring as a control electrode / are the transistor according to claim 9 which comes to prepare a terminal through connection wiring, and ]-as said connection wiring-conductive carbon nanotube characterized.

[Claim 11] The transistor according to claim 10 to which the diameter of the carbon nanotube which has said conductivity is characterized by 1nm or more being 1 micrometer or less.

[Claim 12] A transistor given in any 1 of claims 9-11 to which said electrode of 1 and/or other electrodes which are prepared in said semi-conductor substrate front face, and the bond resistance of said semi-conductor substrate front face and \*\* are characterized by being less than [ more than 1mohm100kohm ].

[Claim 13] The transistor which it is a transistor given in any 1 of claims 9-12, and a semi-conductor substrate is a silicon substrate, and is characterized by carrying out hydrogen end processing of the dangling bond of the front face of this silicon substrate.

[Claim 14] A transistor given in any 1 of claims 1-13 to which the carbon nanotube ring which has said semi-conductor property or conductivity is characterized by being the carbon nanotube ring of a single wall, or its aggregate.

[Claim 15] A transistor given in any 1 of claims 1-14 to which the ring outer diameter of the carbon

nanotube ring which has said semi-conductor property or conductivity is characterized by 10nm or more being 10 micrometers or less.

[Claim 16] A transistor given in any 1 of claims 1-15 to which the size of the tube part of a carbon nanotube ring which has said semi-conductor property or conductivity is characterized by 1nm or more being 1 micrometer or less.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the transistor of the nano meter size which operates at a room temperature in detail about a transistor applicable to an electronic device.

[0002]

[Description of the Prior Art] In recent years, it came to be observed as different new carbon matter from the graphite and amorphous carbon with which fullerene and a carbon nanotube were known very till then by being discovered, and a diamond. The reason is because fullerene and a carbon nanotube show the unique electronic physical properties from which the carbon matter till then differs.

[0003] For example, many carbon atoms arrange the fullerene represented by C60 and C70 to a spherical basket type, it constitutes one molecule, and melts also into organic solvents, such as benzene. Fullerene has many classes besides C60 or C70, and shows the property as a superconductor or a semi-conductor. Moreover, the optical organic-functions effectiveness of fullerene is high, and the application as an electrophotography sensitive material is also considered. Furthermore, an element of a different kind can be confined in the interior, or fullerene can also be made to discover the effective physical properties as high-performance material by making various chemistry functional groups give outside.

[0004] Although a carbon nanotube is the new ingredient which used only carbon as the configuration element like fullerene, functions, such as a source of electron emission, a semiconductor material, and a hydrogen storage ingredient, are discovered. Since it can become a semi-conductor and a conductor, the activity in each field of electronic industry is expected as a switching element of nano meter size, because the method (chirality) of atomic arrangement changes slightly especially.

[0005] On the other hand, the gate electrode width of face of a field-effect transistor (FET) is also miniaturized by even about 0.1 micrometers by progress of ultra-fine processing technology with the advanced silicon device which is the main force of an electronic device, and the memory whose working speed is 1Gbit extent is also made as an experiment from improvement in a degree of integration. When silicon oxide is used as an insulator, the most advantageous point of a silicon device has the remarkably low interface state density between silicon and silicon oxide, and it is in the point which can constitute an oxidization MOS (metal oxide semiconductor) transistor easily. Occupancy area was small and high integration of a component was attained by using the low MOS transistor concerned of power consumption for a logical circuit. Moreover, since a very high grade thing is obtained according to a halogen process and a crystal growth method can also produce a semi-conductor wafer with an aperture of 30cm or more with a Czochralski process, the productivity of a component of the silicon which is an ingredient is also very high.

[0006] However, carrier mobility of silicon is low and a limitation is in a switching rate. The GaAs field-effect transistor (GaAs-FET) and the GeSi bipolar transistor solved the point. The carrier mobility of GaAs is higher than silicon, and has the working speed with GaAs-FET far higher than Si transistor. Moreover, since a GeSi bipolar transistor has the cheap device unit price with GaAs-FET and an EQC, a working speed is being made busy by the personal digital assistant etc.

[0007] Furthermore, HEMT (high mobility transistor) by the two dimensional electron gas which confined the electron and the hole in two dimensions was devised in order to realize the switching rate of several 10GHz. Current and these devices are an electron device indispensable to the high frequency communication link of several GHz or more including mobile communications.

[0008] It is an electron device with low dimension structure structure like quantum wire or a quantum dot that current and the further working speed are expected. It is thought by confining an electron and a hole in one dimension (line) or zero-order origin (dot) that ultra high-speed actuation is attained. The low dimension

structure of such a semiconductor device not only overthrows the limitation of device size, but when realizing ultra high-speed actuation of a switching device, it is expected that it is an important technique. [0009] Since the diameter of especially a carbon nanotube is several nm, the electric conduction device is equal to a single dimension, and attracts attention as low dimension electrical conduction matter. And since there are some which show a semi-conductor property, the single wall carbon nanotube has the potential which can constitute the transistor of the nano meter size by the carbon nanotube. The rectifying characteristic of a carbon nanotube is checked in current and ordinary temperature, and the single dimension quantum state (RATTIN jar liquid condition) in a room temperature is also suggested further experimentally. Therefore, it thinks [ that the switching device of a carbon nanotube with the working speed of several THz is realizable by applying the ballistic conduction device in ordinary temperature, and ]. [0010] Moreover, in performing detailed-ization beyond this, the processing process of a silicon device has many problems, and is approaching the technical limitation. Especially a technique with a line breadth of 0.1 micrometers or less which is an optical limitation in an exposure technique has many technical problems, such as oxide-film formation, although the F2 laser exposing method, the electron ray beam exposing method, etc. are proposed. The technique of realizing the device which operates in current and the size of 0.1 micrometers or less has many technical problems as a manufacturing technology, although various things are devised and developed.

[0011] Therefore, if the manufacturing technology of the electron device by the carbon nanotube is offered, it is expected that the device for which the processing process of the silicon device not only approaching high-speed operation but current and a limitation can be substituted can be proposed.

[0012]

[Problem(s) to be Solved by the Invention] however, the carbon nanotube obtained by the arc discharge method, the laser ablation method, etc. -- a size -- about 1 law -- even when -- the die length is various and the technique of obtaining the carbon nanotube of required size over a several 10nm to several mm large area in case control of the die length is difficult and moreover constitutes a component does not have a place to current. the carbon nanotube of the size obtained accidentally is used in a Prior art -- \*\*\*\* -- even if it could not pass but could use the carbon nanotube in laboratory, it was difficult to use as an electron device ingredient industrially.

[0013] Moreover, when connecting a metal electrode with a carbon nanotube, contact resistance was high and disadvantageous for high-speed actuation.

[0014] Then, the purpose of this invention is using a carbon nanotube for a semiconductor device, and high-speed operation is possible for it, and it is to offer the transistor of the nano meter size which operates at a room temperature.

[0015]

[Means for Solving the Problem] If a single wall carbon nanotube is processed ultrasonically, forming a minute ring, i.e., the carbon nanotube ring told to this invention, is known. In this invention, it is characterized by constituting the transistor as an electron device using this carbon nanotube ring.

[0016] The above-mentioned purpose is attained by the following this inventions. Namely, this invention

<1> It is the transistor characterized by using the carbon nanotube ring which has a semi-conductor property as a semiconductor material.

<2> It is a transistor given in <1> characterized by connecting two electrodes to said carbon nanotube ring, and coming to prepare a control electrode in near and the estranged location of this carbon nanotube ring.

[0017] <3> It is a transistor given in <2> by which it is using-as electrode material of two electrodes connected to said carbon nanotube ring-carbon nanotube which has conductivity characterized.

<4> The diameter of the carbon nanotube which has said conductivity is a transistor given in <3> characterized by 1nm or more being 1 micrometer or less.

[0018] <5> It is a transistor given in any 1 of <2>- <4>, and is the transistor characterized by the thing it comes to prepare in the tooth-back side of the field in which said carbon nanotube ring of said insulating thin film was laid for said control electrode by laying said carbon nanotube ring so that a ring side may contact an insulating thin film front face.

[0019] <6> Said carbon nanotube ring is laid so that a ring side may contact an insulating substrate front face, it is a transistor given in any 1 of <2>- <4>, and said control electrode is the transistor characterized by the thing it comes to prepare in near and the estranged location of said carbon nanotube ring of said insulating substrate front face.

[0020] <7> It is a transistor given in any 1 of <2>- <4>, and is the transistor characterized by the thing it comes to prepare in the upper part at the pan of said carbon nanotube ring with which said carbon nanotube

ring was laid so that a ring side might contact an insulating substrate front face, and the control electrode was laid in said insulating substrate front face.

[0021] <8> It is the transistor characterized by using the carbon nanotube ring which has conductivity or a semi-conductor property as electrode material.

<9> It is a transistor given in <8>. Said carbon nanotube ring Are laid in a semi-conductor substrate front face so that a ring side may contact, and a control electrode is constituted. It is the transistor characterized by the thing prepare the electrode of 1 in the part expressed from opening of said carbon nanotube ring of said semi-conductor substrate front face, and it comes to prepare other electrodes in near and the estranged location of said carbon nanotube ring of said semi-conductor substrate front face further.

[0022] <10> It is a transistor given in <9> which comes to prepare a terminal in the carbon nanotube ring as a control electrode through connection wiring, and is the transistor by which it is using-as said connection wiring-conductive carbon nanotube characterized.

<11> The diameter of the carbon nanotube which has said conductivity is a transistor given in <10> characterized by 1nm or more being 1 micrometer or less.

<12> Said electrode of 1 and/or other electrodes which are prepared in said semi-conductor substrate front face, and the bond resistance of said semi-conductor substrate front face and \*\* are transistors given in any 1 of <9>- <11> characterized by being less than [ more than 1mohm100kohm ].

[0023] <13> It is a transistor given in any 1 of <9>- <12>, a semi-conductor substrate is a silicon substrate, and it is the transistor characterized by carrying out hydrogen end processing of the dangling bond of the front face of this silicon substrate.

<14> The carbon nanotube ring which has said semi-conductor property or conductivity is a transistor given in any 1 of <1>- <13> characterized by being the carbon nanotube ring of a single wall, or its aggregate.

[0024] <15> The ring outer diameter of the carbon nanotube ring which has said semi-conductor property or conductivity is a transistor given in any 1 of <1>- <14> characterized by 10nm or more being 10 micrometers or less.

<16> The size of the tube part of a carbon nanotube ring which has said semi-conductor property or conductivity is a transistor given in any 1 of <1>- <15> characterized by 1nm or more being 1 micrometer or less.

[0025] In this invention, it has succeeded in forming the transistor of the quality stabilized by the carbon nanotube by using the carbon nanotube ring formed in the shape of a ring. When this produces a carbon nanotube ring from a carbon nanotube, there is little dispersion in the magnitude (ring outer diameter) of the carbon nanotube ring obtained, it can classify the carbon nanotube ring obtained further for every magnitude, and is because the carbon nanotube ring of the stable magnitude can be used as a semiconductor material or electrode material.

[0026]

[Embodiment of the Invention] There are two gestalten of that by which it is using [ as a semiconductor material ]-as transistor of this invention-carbon nanotube ring which has semi-conductor property characterized, and the thing by which it is using-as electrode material-carbon nanotube ring which has conductivity or semi-conductor property characterized.

[0027] The former For example, substrates, such as a n-type-semiconductor substrate as a control electrode (gate electrode), The carbon nanotube ring and \*\* which have the semi-conductor property of p mold are arranged in the condition of having insulated electrically so that a ring side might contact. By connecting two electrodes to said carbon nanotube ring, and using the electrode concerned as a source electrode and a drain electrode The current which flows to a source electrode and a drain electrode, or the electrical potential difference impressed to a source electrode and a drain electrode is changed with gate electrode potential, and is controlled, and it functions as an active electronic device. In addition, if a control electrode (gate electrode) is arranged on near and the estranged location of not only substrates, such as a n-type-semiconductor substrate, but said carbon nanotube ring, it is satisfactory in this invention. Moreover, when using a n-type-semiconductor substrate as a substrate, as a concrete ingredient, single crystal silicon, gallium arsenide, indium phosphide, gallium nitride, a diamond, etc. are mentioned.

[0028] The latter For example, a n-type-semiconductor substrate and the carbon nanotube ring which has conductivity or a p type semiconductor property, Are arranged, where shot key connection is made so that a \*\* ring side may contact, and it functions as a control electrode (gate electrode). To the part expressed from opening of said carbon nanotube ring of said semi-conductor substrate front face Ohmic connection of the electrode (a drain electrode or source electrode) of 1 is made. Further Ohmic connection of other electrodes (what is a drain electrode or a source electrode and is different from said electrode of 1) is made in near and

the estranged location of said carbon nanotube ring of said semi-conductor substrate front face. The carbon nanotube ring as a gate electrode is electrically [ as the electrode of 1 allotted in opening of this carbon nanotube ring ] independent, controls the current which flows between the electrode concerned of 1, and other electrodes arranged on near and the estranged location of said carbon nanotube ring, or the electrical potential difference impressed between two electrodes by making it change with gate electrode potential, and functions as an active electronic device.

[0029] Generally, the basic structure of a carbon nanotube consists of six carbonaceous membered-rings, and is having structure which usual graphite closed and became tubing in the air. A carbon nanotube is divided roughly into two kinds, a single wall and a multiple wall, and, generally the size (diameter) of a single wall carbon nanotube is 1nm to 10nm. On the other hand, the size (diameter) of a multiple wall carbon nanotube is also various, and it has some which amount to several 100nm. As mentioned above, it is presumed that two kinds exist although a single wall carbon nanotube shows the thing and conductivity which are indicated to be a semi-conductor property, and a semi-conductor property and the thing which it has are p molds. In the below-mentioned example 1, it is proved that the single wall carbon nanotube which has a semi-conductor property is p mold.

[0030] From the single wall carbon nanotube which is a raw material, said carbon nanotube is the following, and can be made and manufactured. First, the single wall carbon nanotube which is a raw material is produced by the arc discharge method or the chemistry gaseous-phase method. Then, the obtained single wall carbon nanotube is ultrasonicated in a methanol. At this time, a distributed property improves by mixing a surfactant suitable in a methanol by several% of concentration. Next, while carrying out plasmotomy of the carbon nanotube in a supersonic wave, it deforms annularly and a carbon nanotube ring is formed. This carbon nanotube ring is isolated with a centrifuge method. The obtained carbon nanotube ring exists independently in itself, or consists of 2 thru/or a bundle (bundle) of about ten (the latter is called the "aggregate" of a carbon nanotube ring). Moreover, although the factor which it will usually be presumed to be p mold if each single wall carbon nanotube shows a semi-conductor property, and determines a semi-conductor property and conductivity has an interpretation of being based on change of the chiral structure (torsion structure) of a carbon nanotube, and an interpretation of originating in the defect of a carbon nanotube, its this time is also unknown for details.

[0031] in addition -- the manufacture approach of a carbon nanotube -- Journal of Physical Chemistry It is indicated by B etc. at the detail from p.7552 and the left of 13 lines to the right of seven lines volume 103, Number 36, and September [ ] -- the reference of 9, 1999, p.7551-7556, R.Martel, and H.R.Hera and P.Avoiris -- setting, and the approach of starting can be applied as it is in this invention. It is desirable to make the time amount and the centrifugal separation conditions of sonication optimize using surfactant methanol solution at this invention unlike R.Martel, not using a sulfuric acid and a hydrogen-peroxide-solution solution as dispersion liquid, in order to classify the magnitude of a carbon nanotube ring further. According to processing conditions, magnitude can obtain an equal carbon nanotube ring in 20 to 50nm.

[0032] Hereafter, a desirable operation gestalt is mentioned and this invention is explained to a detail.

<Operation gestalt of \*\* 1st> drawing 1 is the \*\* type perspective view showing the 1st operation gestalt of the transistor of this invention. This operation gestalt is the example using the carbon nanotube ring which has a semi-conductor property as a semiconductor material. As shown in drawing 1, the transistor of this operation gestalt On one front face of n mold silicon substrate 11 as a gate electrode (control electrode) The gate electrode terminal 15 according [ the oxidation silicone film (insulating thin film) 12 with a thickness of dozens of nm ] to metal electrodes, such as Au, is formed in other front faces, respectively. In the front face of the oxidation silicone film 12 The carbon nanotube ring 17 is laid so that a ring side may contact (namely, it is the same as that below of; after the ring has lain down as shown in drawing 1 ). The multiple wall carbon nanotube 16 and 16' are connected to the both ends, and it functions on the carbon nanotube ring 17 as a source electrode and a drain electrode. As for the actuation which forms the multiple wall carbon nanotube 16 and 16', at this time, it is desirable to use a scanning probe microscope as a manipulator. Each edge of the side connected to the carbon nanotube ring 17 of the multiple wall carbon nanotube 16 and 16' and the opposite side is connected with the source electrode terminal 13 and the drain electrode terminal 14.

[0033] It becomes possible to change the potential of the gate electrode terminal 15 and to control the current or electrical potential difference which flows between the source electrode terminal 13 and the drain electrode terminal 14 by the transistor of this operation gestalt. That is, high-speed operation is possible and it becomes the transistor of the nano meter size which operates at a room temperature.

[0034] As an electrode material of two electrodes connected to the carbon nanotube ring 17, although the

usual metal may be used, electrode wiring of low contact resistance is realizable with a tunnel junction with the carbon nanotube ring 17 by using the multiple wall carbon nanotube 16 and 16' like the carbon nanotube which has conductivity, especially this operation gestalt.

[0035] As contact resistance of the carbon nanotube ring 17 at this time, and the multiple wall carbon nanotube 16 and 16', it is desirable that it is less than [ more than 0mohm1M omega ], and it is more desirable that it is less than [ desirable to high-speed operation / more than 1ohm100kohm ]. As a diameter of the multiple wall carbon nanotube 16 and 16', it is desirable that it is [ 1nm or more ] 1 micrometer or less, and it is more desirable that it is [ 5nm or more ] 100nm or less.

[0036] As a carbon nanotube ring 17, it is desirable that they are the carbon nanotube ring of a single wall or its aggregate, as the ring outer diameter, it is desirable that it is [ 10nm or more ] 10 micrometers or less, and it is [ it is more desirable that it is / 15nm or more / 1 micrometer or less, and ] still more desirable that it is [ 20nm or more ] 100nm or less.

[0037] Moreover, as a carbon nanotube ring 17, it is desirable that the size (diameter of the carbon nanotube itself) of the tube part is 1nm or more 1 micrometer or less, and it is more desirable that it is [ 5nm or more ] 100nm or less.

[0038] In this operation gestalt, although n mold silicon substrate 11 is used for the gate electrode (control electrode), if it is an ingredient which has conductivity or the semi-conductor property of n mold, any ingredients can be used for it. That is, it is satisfactory if the gate electrode (control electrode) 15 is arranged on near and the estranged location of the carbon nanotube ring 17. Moreover, when using the ingredient which has the semi-conductor property of n mold, it is also possible to use substrates, such as gallium arsenide, indium phosphide, gallium nitride, and a diamond, instead of n mold silicon substrate 11.

[0039] As an insulating thin film arranged between the carbon nanotube ring 17 and a gate electrode (control electrode), although the oxidation silicone film 12 is used with this operation gestalt, of course in this invention, it is not limited to this, but if it is the film which has insulation, any ingredients are employable. Like this operation gestalt, when n mold silicon substrate 11 is used as a substrate substrate, it is desirable for the formation to consider as an oxidation silicone film at an easy point. Although based also on the property of the transistor considered as a request as thickness of an insulating thin film, generally it is dozens of nm and it is desirable to specifically be referred to as 5-20nm.

[0040] <Operation gestalt of \*\* 2nd> drawing 2 is the \*\* type perspective view showing the 2nd operation gestalt of the transistor of this invention. This operation gestalt is the example using the carbon nanotube ring which has conductivity or a semi-conductor property as electrode material.

[0041] As shown in drawing 2, n mold impurity layer 28 which shows n+ field is formed in one front face of the n-type-semiconductor substrate 21 as a substrate, the carbon nanotube ring 27 which has a p type semiconductor property on it further is laid in it so that a ring side may contact, and the transistor of this operation gestalt constitutes a gate electrode (control electrode). The end of the multiple wall carbon nanotube 26 which has conductivity is connected to the carbon nanotube ring 27, and the other end is connected with the gate electrode terminal 25 which consists of metallic materials, such as Au. Moreover, to the part expressed from opening of the carbon nanotube ring 27 of n-type-semiconductor substrate 21 front face, ohmic connection of the end of the multiple wall carbon nanotube 29 is made, the source electrode (electrode of 1) 22 is constituted, and the other end is connected with the source electrode terminal 23 to it ranging over the carbon nanotube ring 27 (the source electrode terminal 23 and the n-type-semiconductor substrate 21 are insulated). Furthermore, ohmic connection of the drain electrode (other electrodes) 24 is made in near and the estranged location of the carbon nanotube ring 27 of the n-type-semiconductor substrate 21.

[0042] Since what has a p type semiconductor property as a carbon nanotube ring 27 is used as a substrate, it is desirable to use a n-type-semiconductor substrate with this operation gestalt. Although the silicon substrate is most suitable as a substrate, it is also possible to use other gallium arsenide, indium phosphide, gallium nitride, a diamond, etc. When a silicon substrate is used, in order to deal with it in atmospheric air, it is necessary to stabilize a silicon substrate surface. If a silicon substrate is processed in a hydrogen fluoride water solution, the dangling bond (association without a partner) of a silicon substrate surface will combine with H (hydrogen). Since the natural oxidation thickness of a silicon substrate is about 1 a little less than nm, it is effective to face, using a carbon nanotube ring with a ring outer diameter of about 50nm for example, and to stabilize the front face of such a substrate substrate. It becomes possible to reduce the effect of oxide and to make stable shot key connection of a carbon nanotube ring and a substrate substrate by stabilizing a silicon substrate surface by H.

[0043] Although the drain electrode 24 which consists of metallic materials, such as Au, is formed in n-



type-semiconductor substrate 21 front face, it is necessary to make ohmic connection of the drain electrode 24 concerned with the n-type-semiconductor substrate 21. In order to enable ohmic connection, it is desirable to form n<sup>+</sup> field in a n-type-semiconductor substrate front face. Although carried out with ion-implantation, in order to maintain high-concentration high impurity concentration near the n-type-semiconductor substrate 21 front face at this time, as an impregnation ion kind, As is usually desirable, in order to form n<sup>+</sup> field and to form n mold impurity layer 28. Moreover, in the case of this operation gestalt which uses the carbon nanotube ring 27 as a gate electrode, as this ion injection rate, three or more [ 1018cm - ] n mold high impurity concentration is desired as average concentration.

[0044] In order to raise high impurity concentration, it is desirable to grind n-type-semiconductor substrate 21 front face in which n mold impurity layer 28 was formed by well-known approaches, such as the mechanochemical-polishing method (abrasive material GURANZOKKUSU). At this time, as an amount of polishes, it is desirable to grind 100nm - about 2 micrometers of front faces, and it is more desirable to grind about 200-500nm.

[0045] As a bond resistance of the drain electrode 24 and the n-type-semiconductor substrate 21, it is desirable that it is less than [ more than 1mohm100kohm ], it is more desirable that it is less than [ more than 1ohm50kohm ], and it is still more desirable that it is [ 100ohm or more ] 10ohms or less.

[0046] You may have conductivity, although it is desirable to have a p type semiconductor property like this operation gestalt as a carbon nanotube ring 27 although the carbon nanotube ring 27 which became independent electrically is fixed to near and the estranged location of the drain electrode 24 (laid) and a gate electrode is constituted.

[0047] Although the carbon nanotube ring 27 and the drain electrode 24 are near and being estranged is indispensable, as concrete both gap, it is desirable that it is 1nm - about 50 micrometers, and it is more desirable that it is about 5-200nm.

[0048] The end of the multiple wall carbon nanotube 26 is connected to the carbon nanotube ring 27 concerned which is a gate electrode like previous statement, and the other end is connected with the gate electrode terminal 25. In addition, in this operation gestalt, although the multiple wall carbon nanotube which has conductivity in wiring between the carbon nanotube ring 27 and the gate electrode terminal 25 is used, golden metal wiring may be used. However, electrode wiring of low contact resistance is realizable by using a multiple wall carbon nanotube like this operation gestalt with a tunnel junction with the carbon nanotube ring 27.

[0049] Like previous statement, ohmic connection of the end of the multiple wall carbon nanotube 29 is made to the part expressed from opening of the carbon nanotube ring 27 of n-type-semiconductor substrate 21 front face, the source electrode 22 is constituted, and the other end is connected with the source electrode terminal 23. In addition, in this operation gestalt, although the multiple wall carbon nanotube which has conductivity in wiring (connection wiring) with the source electrode 22 and the source electrode terminal 23 is used, golden metal wiring may be used.

[0050] Moreover, as a bond resistance of the source electrode 22 and the n-type-semiconductor substrate 21, it is desirable that it is less than [ more than 1mohm100kohm ], it is more desirable that it is less than [ more than 1ohm50kohm ], and it is still more desirable that it is [ 100ohm or more ] 10ohms or less.

[0051] With the transistor of this operation gestalt, it becomes possible to control by changing the potential which applies the current or electrical potential difference which flows between the source electrode terminal 23 and the drain electrode 24 to the carbon nanotube ring 27 which is a gate electrode. That is, high-speed operation is possible and it becomes the transistor of the nano meter size which operates at a room temperature.

[0052] Since the desirable modes (contact resistance in case magnitude and both are connected etc.) of the carbon nanotube ring 27 used in this operation gestalt and the multiple wall carbon nanotubes 26 and 29 are the same as that of the carbon nanotube ring 17 explained with the 1st operation gestalt and the multiple wall carbon nanotube 16, and 16', the detailed explanation is omitted.

[0053] In addition, it is still more desirable to use the SOI (Semiconductor on insulator) substrate which consists of silicon and silicon oxide as a substrate substrate in the mode of the transistor of this operation gestalt. At this time, it is desirable to process the thickness of a surface semi-conductor layer even into about 50nm by making the chemical mechano polishing method and etching use together. Furthermore, it is also possible to use the substrate which was made to form a polycrystalline silicon layer in an oxidation silicon substrate surface by a chemistry gaseous layer method etc., and introduced n mold impurity. At this time, it becomes possible by re-growing up the diameter of crystal grain of a polycrystalline silicon layer into bigger 1 micrometers or more than the ring outer diameter of a carbon nanotube ring by the annealing method etc.

to prevent the fall of mobility.

[0054] <Operation gestalt of \*\* 3rd> drawing 3 is the \*\* type perspective view showing the 3rd operation gestalt of the transistor of this invention. This operation gestalt is the example using the carbon nanotube ring which has a semi-conductor property as a semiconductor material.

[0055] As shown in drawing 3, the transistor of this operation gestalt is a mode by which the gate electrode (control electrode) 18 is formed in near and the estranged location of the carbon nanotube ring 17 of silicon oxide film (insulating thin film) 12 front face. In addition, it is n mold silicon substrate 11, the silicon oxide film 12, the source electrode terminal 13, the drain electrode terminal 14, the multiple wall carbon nanotube 16, 16', and the configuration as the 1st operation gestalt with the same carbon nanotube ring 17, and is arranged similarly.

[0056] That is, the transistor of this operation gestalt give the same sign as drawing 1 to the member which have [ in / be the same as that of the 1st operation gestalt including the desirable mode, and / drawing 3 ] the same function as the 1st operation gestalt except for the gate electrode be prepare in near and the estranged location of the carbon nanotube ring 17 of silicon oxide film ( insulating thin film) 12 front face instead of the tooth back of n mold silicon substrate 11, and the detailed explanation be omit.

[0057] Although the carbon nanotube ring 17 and the gate electrode 18 are near and being estranged is indispensable, as concrete both gap, it is desirable that it is 1nm - about 50 micrometers, it is more desirable that it is about 5-200nm, and it is desirable that it is especially around 10nm.

[0058] The carbon nanotube (for example, multiple wall carbon nanotube) which has metal wiring or conductivity is also available for the gate electrode 18. The end of the connection wiring 19 is connected to the gate electrode 18, and the other end of the connection wiring 19 is connected to the gate electrode terminal 30 which consists of metallic materials, such as gold. Although any of a carbon nanotube which have metal wiring and conductivity are sufficient also as the connection wiring 19, it is desirable to use the same ingredient as the gate electrode 18.

[0059] It becomes possible to change the potential of the gate electrode 18 and to control the current or electrical potential difference which flows between the source electrode terminal 13 and the drain electrode terminal 14 by the transistor of this operation gestalt. That is, high-speed operation is possible and it becomes the transistor of the nano meter size which operates at a room temperature.

[0060] In addition, although the thing in which the insulating silicon oxide film 12 was formed was used for n mold silicon substrate 11 like the 1st operation gestalt as a substrate with this operation gestalt, if the field in which the carbon nanotube ring 17 is laid has insulation, what kind of ingredient can also be used (also setting in the 4th below-mentioned operation gestalt the same). That is, the substrate itself may not have insulation, like this operation gestalt, regardless of insulation and conductivity, an insulating thin film may be prepared in the base of arbitration, and all these substrates are contained in it in this invention at the concept of "an insulating substrate."

[0061] <Operation gestalt of \*\* 4th> drawing 4 is the \*\* type perspective view showing the 4th operation gestalt of the transistor of this invention. This operation gestalt is the example using the carbon nanotube ring which has a semi-conductor property as a semiconductor material.

[0062] As shown in drawing 4, the transistor of this operation gestalt is a mode prepared in the upper part at the pan of the carbon nanotube ring 17 with which the gate electrode (control electrode) 31 was laid in silicon oxide film (insulating thin film) 12 front face. In addition, the "upper part" here is satisfactory at all, even if it shall not express the vertical relation on the basis of earth surface, it shall mean the upper part in the pan of the carbon nanotube ring 17 at the time of being based on the silicon oxide film (insulating thin film) 12 and the vertical relation on the basis of earth surface is carrying out the inversion etc.

[0063] In addition, it is n mold silicon substrate 11, the silicon oxide film 12, the source electrode terminal 13, the drain electrode terminal 14, the multiple wall carbon nanotube 16, 16', and the configuration as the 1st operation gestalt with the same carbon nanotube ring 17, and is arranged similarly.

[0064] Although it is also possible to apply the noble-metals extra fine wires (Au, Pt, etc.) of several nm width of face to the pan of the carbon nanotube ring 17 as a gate electrode 31 prepared in the upper part, it is desirable to use the carbon nanotube which has conductivity. As a carbon nanotube which has conductivity, both single wall carbon nanotube and multiple wall carbon nanotube can apply.

[0065] The end of the connection wiring 32 is connected to the gate electrode 31, and the other end of the connection wiring 32 is connected to the gate electrode terminal 33 which consists of metallic materials, such as gold. Although any of a carbon nanotube which have metal wiring and conductivity are sufficient also as the connection wiring 32, it is desirable to use the same ingredient as the gate electrode 31.

[0066] It becomes possible to change the potential of the gate electrode 31 and to control the current or

electrical potential difference which flows between the source electrode terminal 13 and the drain electrode terminal 14 by the transistor of this operation gestalt. That is, high-speed operation is possible and it becomes the transistor of the nano meter size which operates at a room temperature.

[0067] When the carbon nanotube which has conductivity as a gate electrode 31 is used, the connection between the gate electrode 31 and the carbon nanotube ring 17 which has a semi-conductor property turns into shot key connection, and can form a shot key mold field-effect transistor in this case.

[0068] As mentioned above, although four operation gestalten were mentioned and the transistor of this invention was explained to the detail, this invention is not limited to these, and if it is the configuration that the principle of this invention as stated above may be applied, it can adopt any configurations.

[0069]

[Example] Although the example of this invention is shown below, this invention is not restricted to these examples.

(Example 1) The carbon nanotube ring was produced by ultrasonicated the single wall carbon nanotube produced by the arc discharge method. Specifically, it ultrasonicated for about 1 hour by making 100ml (5% of surface-active-agent concentration) of methanol solution of a surface active agent (the Wako Pure Chem make, benzalkonium chloride) distribute 50mg of single wall carbon nanotubes (the frequency of 20kHz, output 50w). Then, centrifugal separation processing was carried out for about 30 minutes with the centrifuge method. The recovery back washed with the filter and the methanol and the acetone washed the carbon nanotube ring currently distributed in liquid on the filter. The size of about 20nm to 50nm and a tube part of the ring outer diameter of the obtained carbon nanotube ring was 2nm to 30nm. In addition, in this example, what has the ring outer diameter of about 50nm and the p type semiconductor property of 5nm of sizes of a tube part was used.

[0070] The transistor shown in drawing 1 as is the following was produced using the obtained carbon nanotube ring. As a substrate substrate, n mold silicon substrate 11 of a field (111) was used. First, the rinse of the front face was carried out with pure water after detergent washing, and it was made to process and dry with an isopropyl alcohol steam. Then, Au was vapor-deposited on one side (rear face) of n mold silicon substrate 11, and the gate electrode terminal 15 has been arranged. Furthermore, the 50nm oxidation silicone film 12 was grown up by the plasma-CVD method, and the polycrystalline silicon layer was made to form with a reduced pressure CVD method on it. Next, As was doped with ion-implantation on the front face of n mold silicon substrate 11 (ion-implantation acceleration energy 40keV and ion injection rate [ of about  $2 \times 10^{15} \text{cm}^{-2}$  ] - 2), and crystal recovery was carried out by the rapid annealing method (peak temperature of about 1200 degrees C). Next, in order to stabilize surface oxide-film removal and a front face, it processed by HF and end processing of the dangling bond of n mold silicon substrate 11 front face was carried out by H. If H end processing of the Si (111) side is carried out, since stable Si-H<sub>2</sub> will generally be formed, a silicon substrate surface becomes being hard to oxidize also in atmospheric air.

[0071] In this condition, on the silicon oxide film 12 of n mold silicon substrate 11 front face, said carbon nanotube ring distributed by the methanol was developed with the spin coat method, and the carbon nanotube ring 17 was laid. Subsequently, the both ends of the carbon nanotube ring 17 were wired so that the multiple wall carbon nanotube 16 and 16' (diameter of about 15nm) might be connected and the other end of the multiple wall carbon nanotube 16 and 16' might connect with the source electrode terminal 13 and the drain electrode terminal 14. The multiple wall carbon nanotube was used for wiring of the multiple wall carbon nanotube 16 and 16' as a probe using the scanning probe microscope (SPM) with two piezo actuators.

[0072] Thus, it checked that change appeared in the source electrode of the carbon nanotube ring 17, and a drain inter-electrode current potential property by changing the potential of the gate electrode which consists of n mold silicon substrates 11 about the transistor of the acquired example 1. That is, the potential (V<sub>g</sub>) of the gate electrode terminal 15 was changed by the 1between 0V-5V V unit, and the current potential property between the source electrode terminal 13 and the drain electrode terminal 14 was measured by using the electrometer 6514 made from KEITHLEY. In addition, measurement was performed in the room temperature (23 degrees C). The result is shown in drawing 5.

[0073] (Example 2) The transistor shown in drawing 2 as is the following was produced using the carbon nanotube ring obtained in the example 1. The n-type-semiconductor substrate 21 of the same (111) field as an example 1 was prepared, As was injected into the front face with ion-implantation, and n mold impurity layer 28 of n+ field was formed. In order to make As concentration the highest on a front face, about 300nm of front faces was ground by the mechanochemical-polishing method (abrasive material GURANZOKKUSU).

[0074] Next, Au was partially vapor-deposited on the front face by the sputtering method, and drain electrode 24 electrode by which ohmic connection was made was formed in it. Furthermore, n-type-semiconductor substrate 21 front face was stabilized by carrying out H end processing processing like the example 1.

[0075] In this condition, on n mold impurity layer 28 of n mold silicon substrate 11 front face, said carbon nanotube ring distributed by the methanol was developed with the spin coat method, and the carbon nanotube ring 27 was laid. What has the conductivity of 8nm of sizes of the ring outer diameter of about 50nm and a tube part was used for the carbon nanotube ring 27 at this time.

[0076] Like the example 1, using the scanning probe microscope (SPM) with two piezo actuators, the multiple wall carbon nanotube (diameter of about 15nm) was used as a probe, and it wired. First, it connected with the front face and the source electrode terminal 23 of the n-type-semiconductor substrate 21 of the part which connects the multiple wall carbon nanotube 26 to the carbon nanotube ring 27 and the gate electrode terminal 25 with the first probe of SPM, next expresses the multiple wall carbon nanotube 29 from opening of the carbon nanotube ring 27 with the second probe. Thus, the transistor of an example 2 was produced.

[0077] Thus, it checked that change appeared in the current potential property between the source electrode 22 and the drain electrode 24 by changing the potential of the gate electrode which consists of carbon nanotube rings 27 about the transistor of the acquired example 2. That is, the potential ( $V_g$ ) of the gate electrode terminal 25 was changed by the 1between 0V-5V V unit, and the current potential property between the source electrode terminal 23 and the drain electrode 24 was measured by using the electrometer 6514 made from KEITHLEY. The result is shown in drawing 6 .

[0078]

[Effect of the Invention] According to the transistor of this invention, the switching element which operates at the room temperature in which high-speed operation is [ that the nano meter size using a carbon carbon nanotube is minute and ] possible can be realized, and industrial usefulness is very high.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

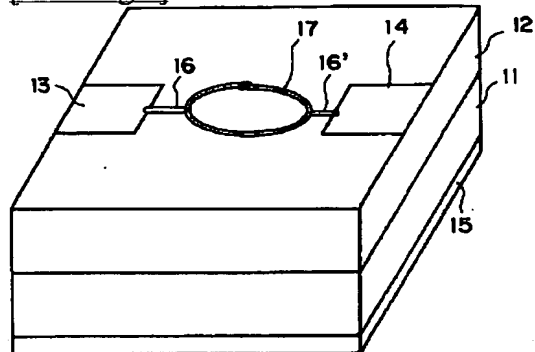
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

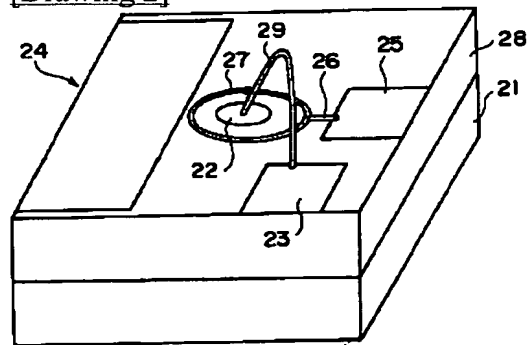
DRAWINGS

---

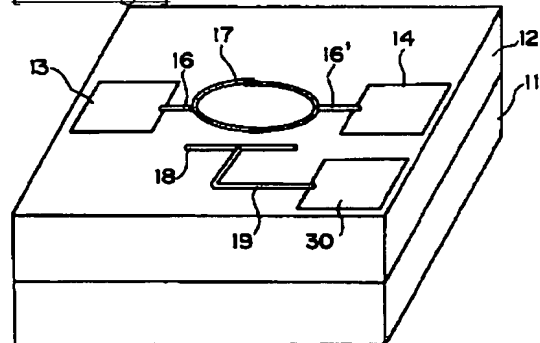
[Drawing 1]



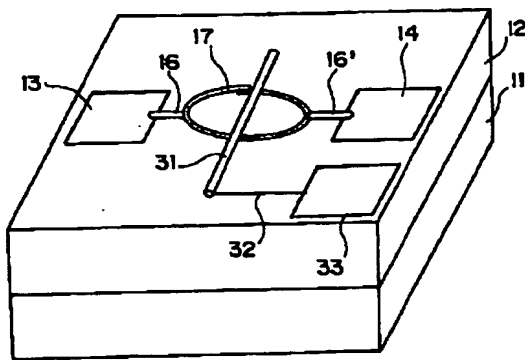
[Drawing 2]



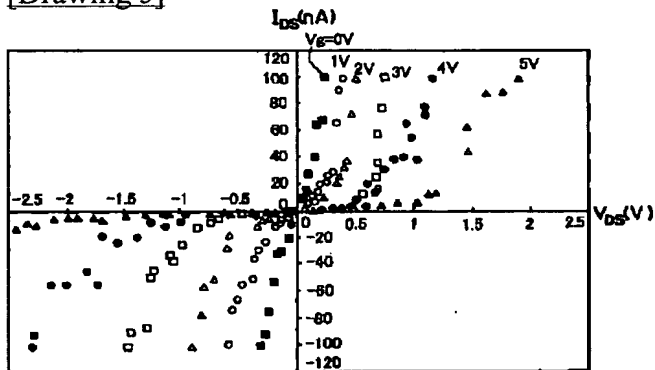
[Drawing 3]



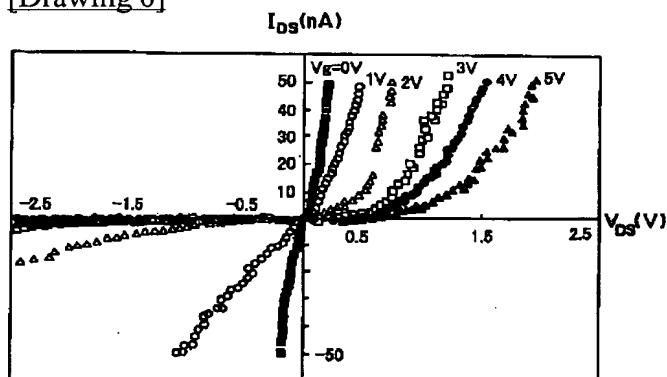
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-76324

(P2002-76324A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)	
H 0 1 L 29/06		H 0 1 L 29/06		4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 Z	5 F 0 4 0
			3 0 1 B	5 F 1 0 2
29/43		29/62	G	5 F 1 1 0
29/78		29/78	3 0 1 X	
審査請求 未請求 請求項の数16 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願2000-263943(P2000-263943)

(22) 出願日 平成12年8月31日(2000.8.31)

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 渡邊 浩之

神奈川県南足柄市竹松1600番地 富士ゼロックス株式会社内

(72) 発明者 清水 正昭

神奈川県足柄上郡中井町境430 グリーン  
テクなかい 富士ゼロックス株式会社内

(74) 代理人 100079049

弁理士 中島 淳 (外3名)

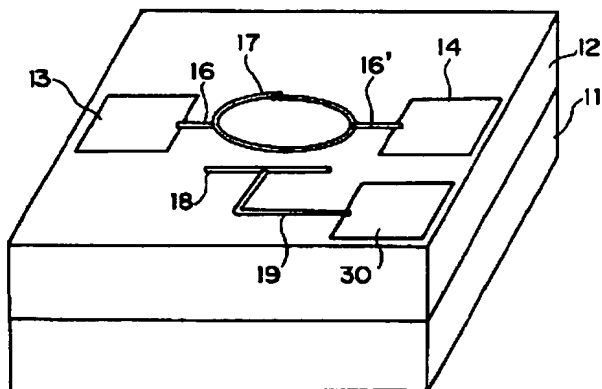
最終頁に続く

(54) 【発明の名称】 トランジスタ

(57) 【要約】 (修正有)

【課題】 半導体素子にカーボンナノチューブを用いることで、高速動作が可能で、室温で動作するナノメーターサイズのトランジスタを提供すること。

【解決手段】 半導体特性を有するカーボンナノチューブリング16、17を半導体材料として、あるいは、導電性または半導体特性を有するカーボンナノチューブリング18、19を電極材として、用いることを特徴とするトランジスタである。



## 【特許請求の範囲】

【請求項1】 半導体特性を有するカーボンナノチューブリングを半導体材料として用いることを特徴とするトランジスタ。

【請求項2】 前記カーボンナノチューブリングに2つの電極を接続し、該カーボンナノチューブリングの近傍かつ離間された位置に制御電極を設けてなることを特徴とする請求項1に記載のトランジスタ。

【請求項3】 前記カーボンナノチューブリングに接続される2つの電極の電極材料として、導電性を有するカーボンナノチューブを用いること特徴とする請求項2に記載のトランジスタ。

【請求項4】 前記導電性を有するカーボンナノチューブの直径が、1 nm以上1  $\mu$  m以下であることを特徴とする請求項3に記載のトランジスタ。

【請求項5】 請求項2～4のいずれか1に記載のトランジスタであって、前記カーボンナノチューブリングが、絶縁性薄膜表面に、リング面が当接するように載置され、前記制御電極が、前記絶縁性薄膜の前記カーボンナノチューブリングが載置された面の背面側に設けられてなる、ことを特徴とするトランジスタ。

【請求項6】 請求項2～4のいずれか1に記載のトランジスタであって、前記カーボンナノチューブリングが、絶縁性基板表面に、リング面が当接するように載置され、前記制御電極が、前記絶縁性基板表面の前記カーボンナノチューブリングの近傍かつ離間された位置に設けられてなる、ことを特徴とするトランジスタ。

【請求項7】 請求項2～4のいずれか1に記載のトランジスタであって、前記カーボンナノチューブリングが、絶縁性基板表面に、リング面が当接するように載置され、制御電極が、前記絶縁性基板表面に載置された前記カーボンナノチューブリングのさらに上部に設けられてなる、ことを特徴とするトランジスタ。

【請求項8】 導電性または半導体特性を有するカーボンナノチューブリングを電極材として用いることを特徴とするトランジスタ。

【請求項9】 請求項8に記載のトランジスタであって、前記カーボンナノチューブリングが、半導体基板表面に、リング面が当接するように載置され、制御電極を構成し、前記半導体基板表面の、前記カーボンナノチューブリングの開口部から表出する部位に、1の電極を設け、さらに、前記半導体基板表面の、前記カーボンナノチューブリングの近傍かつ離間された位置に他の電極を設けてなる、ことを特徴とするトランジスタ。

【請求項10】 制御電極としてのカーボンナノチューブ

ブリングに、接続配線を介して端子を設けてなる請求項9に記載のトランジスタであって、前記接続配線として、導電性のカーボンナノチューブを用いること特徴とするトランジスタ。

【請求項11】 前記導電性を有するカーボンナノチューブの直径が、1 nm以上1  $\mu$  m以下であることを特徴とする請求項10に記載のトランジスタ。

【請求項12】 前記半導体基板表面に設けられる、前記1の電極および／または他の電極と、前記半導体基板表面と、の接合抵抗が、1 m $\Omega$ 以上100 k $\Omega$ 以下であることを特徴とする請求項9～11のいずれか1に記載のトランジスタ。

【請求項13】 請求項9～12のいずれか1に記載のトランジスタであって、半導体基板がシリコン基板であり、該シリコン基板の表面のダングリングボンドが水素末端処理されていることを特徴とするトランジスタ。

【請求項14】 前記半導体特性もしくは導電性を有するカーボンナノチューブリングが、単一壁のカーボンナノチューブリング、もしくはその集合体であることを特徴とする請求項1～13のいずれか1に記載のトランジスタ。

【請求項15】 前記半導体特性もしくは導電性を有するカーボンナノチューブリングのリング外径が、10 nm以上10  $\mu$  m以下であることを特徴とする請求項1～14のいずれか1に記載のトランジスタ。

【請求項16】 前記半導体特性もしくは導電性を有するカーボンナノチューブリングのチューブ部位の太さが、1 nm以上1  $\mu$  m以下であることを特徴とする請求項1～15のいずれか1に記載のトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子素子に適用できるトランジスタに関し、詳しくは、室温で動作するナノメーターサイズのトランジスタに関する。

## 【0002】

【従来の技術】近年、フラーレンやカーボンナノチューブが発見されるに至って、それまで知られていたグラファイト、アモルファスカーボン、ダイヤモンドとは異なる新しい炭素物質として、注目されるようになった。その理由は、フラーレンやカーボンナノチューブが、それまでの炭素物質とは異なる特異な電子物性を示すためである。

【0003】例えば、C<sub>60</sub>やC<sub>70</sub>に代表されるフラーレンは、多数の炭素原子が球状の籠型に配置して一つの分子を構成し、ベンゼン等の有機溶媒にも溶ける。フラーレンは、C<sub>60</sub>やC<sub>70</sub>以外にも多数の種類を有し、超伝導体や半導体としての性質を示す。また、フラーレンは、光官能効果が高く、電子写真感光材料としての応用も考えられている。さらに、フラーレンには、内部に異種の元素を閉じ込めたり、外部に多種の化学官能基を付与さ



せることで、機能性材料として有効な物性を発現させることもできる。

【0004】カーボンナノチューブは、フラーレンと同様、炭素のみを構成元素とした新しい材料であるが、電子放出源、半導体材料、水素貯蔵材料等の機能が発見されている。特に、わずかに原子配列の仕方（カイラリティ）が変化することで、半導体にも、導体にもなりうることから、ナノメートルサイズのスイッチング素子として電子工業の各分野における活用が期待されている。

【0005】一方、電子素子の主力であるシリコンデバイス、高度な微細加工技術の進展で、電界効果トランジスター（FET）のゲート電極幅も約0.1  $\mu\text{m}$ にまで小型化され、集積度の向上から、動作速度が1 Gbit程度メモリーも試作されている。シリコンデバイスの最も有利な点は、酸化シリコンを絶縁体として用いた場合、シリコンと酸化シリコンとの間の界面準位が著しく低く、酸化MOS（金属酸化物半導体）トランジスターを容易に構成できる点にある。占有面積が小さく、消費電力の低い当該MOSトランジスターを論理回路に用いることで、素子の高集積化が可能になった。また、材料であるシリコンは、ハロゲンプロセスにより、極めて高純度なものが得られ、結晶成長法もチョコラルスキー法により、口径30 cm以上の半導体ウェハーが生産できるため、素子の生産性も極めて高い。

【0006】ただし、シリコンはキャリア移動度が低く、スイッチング速度に限界がある。その点を解決したのが、GaAs電界効果トランジスタ（GaAs-FET）やGeSiバイポーラトランジスタである。GaAsのキャリア移動度はシリコンより高く、GaAs-FETはSiトランジスタよりはるかに高い動作速度を有している。また、GeSiバイポーラトランジスタは、動作速度がGaAs-FETと同等ながら、デバイス単価が安いので、携帯端末等に多用化されつつある。

【0007】さらに、数10 GHzのスイッチング速度を実現するために考案されたのが、電子やホールを二次元に閉じ込めた二次元電子ガスによるHEMT（高移動度トランジスタ）である。現在、これらのデバイスは、移動体通信を含め、数GHz以上の高周波通信には、欠くことのできない電子デバイスとなっている。

【0008】現在、さらなる動作速度を期待されているのが、量子細線や量子ドットのような低次元構造をもつ電子デバイスである。電子やホールを1次元（線）もしくは0次元（ドット）に閉じ込めることで、超高速動作が可能になると考えられている。こうした半導体素子の低次元構造は、デバイスサイズの限界を打破するだけでなく、スイッチングデバイスの超高速動作を実現する上で重要な技術と期待されている。

【0009】特に、カーボンナノチューブは、直径が数nmなので、その電気伝導機構は一次元に等しく、低次元電導物質として注目されている。そして、単一壁カー

ボンナノチューブは、半導体特性を示すものもあるので、カーボンナノチューブによるナノメートルサイズのトランジスタを構成できる潜在能力を持っている。現在、常温でカーボンナノチューブの整流特性が確認されており、さらに、室温での一次元量子状態（ラッティンジャー液体状態）も実験的に示唆されている。したがって、常温におけるバリスティック伝導機構を応用することで、数THzの動作速度をもつカーボンナノチューブのスイッチングデバイスが実現可能であると考えられている。

【0010】また、シリコンデバイスの加工プロセスは、これ以上の微細化を行うにあたって多く問題を抱えており、技術的限界に近づいている。特に、露光技術において、光学限界である線幅0.1  $\mu\text{m}$ 以下の技術は、F<sub>2</sub>レーザー露光法や電子線ビーム露光法等が提案されているものの、酸化膜形成等の課題が多い。現在、0.1  $\mu\text{m}$ 以下のサイズで動作するデバイスを実現する技術は様々なものが考案され、開発されているものの、製造技術として課題が多い。

【0011】したがって、カーボンナノチューブによる電子デバイスの製造技術が提供されれば、高速動作のみならず、現在、限界に近づいているシリコンデバイスの加工プロセスに代替可能なデバイスを提案できると期待されている。

【0012】

【発明が解決しようとする課題】しかしながら、アーク放電法、レーザーアブレーション法等で得られたカーボンナノチューブは、太さはほぼ一定でも、その長さが様々で、数10 nmから数mmの広範囲に渡り、しかも、その長さの制御が困難で、素子を構成する際に必要なサイズのカーボンナノチューブを得る技術は、現在までのところない。従来の技術では、偶発的に得られたサイズのカーボンナノチューブを用いているに過ぎず、カーボンナノチューブを実験室的に利用することができても、工業的に電子デバイス材料として利用することは困難であった。

【0013】また、カーボンナノチューブと金属製の電極を接続する場合、接触抵抗が高く、高速の動作には不利であった。

【0014】そこで、本発明の目的は、半導体素子にカーボンナノチューブを用いることで、高速動作が可能で、室温で動作するナノメートルサイズのトランジスタを提供することにある。

【0015】

【課題を解決するための手段】単一壁カーボンナノチューブを超音波で処理すると、微小なリング、すなわち本発明に言うカーボンナノチューブリングを形成することが知られている。本発明では、このカーボンナノチューブリングを用いて電子デバイスとしてのトランジスタを構成することを特徴とするものである。

【0016】上記目的は、以下の本発明により達成される。すなわち本発明は、

<1> 半導体特性を有するカーボンナノチューブリングを半導体材料として用いることを特徴とするトランジスタである。

<2> 前記カーボンナノチューブリングに2つの電極を接続し、該カーボンナノチューブリングの近傍かつ離間された位置に制御電極を設けてなることを特徴とする<1>に記載のトランジスタである。

【0017】<3> 前記カーボンナノチューブリングに接続される2つの電極の電極材料として、導電性を有するカーボンナノチューブを用いること特徴とする<2>に記載のトランジスタである。

<4> 前記導電性を有するカーボンナノチューブの直径が、1nm以上1μm以下であることを特徴とする<3>に記載のトランジスタである。

【0018】<5> <2>～<4>のいずれか1に記載のトランジスタであって、前記カーボンナノチューブリングが、絶縁性薄膜表面に、リング面が当接するように載置され、前記制御電極が、前記絶縁性薄膜の前記カーボンナノチューブリングが載置された面の背面側に設けられてなる、ことを特徴とするトランジスタである。

【0019】<6> <2>～<4>のいずれか1に記載のトランジスタであって、前記カーボンナノチューブリングが、絶縁性基板表面に、リング面が当接するように載置され、前記制御電極が、前記絶縁性基板表面の前記カーボンナノチューブリングの近傍かつ離間された位置に設けられてなる、ことを特徴とするトランジスタである。

【0020】<7> <2>～<4>のいずれか1に記載のトランジスタであって、前記カーボンナノチューブリングが、絶縁性基板表面に、リング面が当接するように載置され、制御電極が、前記絶縁性基板表面に載置された前記カーボンナノチューブリングのさらに上部に設けられてなる、ことを特徴とするトランジスタである。

【0021】<8> 導電性または半導体特性を有するカーボンナノチューブリングを電極材として用いることを特徴とするトランジスタである。

<9> <8>に記載のトランジスタであって、前記カーボンナノチューブリングが、半導体基板表面に、リング面が当接するように載置され、制御電極を構成し、前記半導体基板表面の、前記カーボンナノチューブリングの開口部から表出する部位に、1の電極を設け、さらに、前記半導体基板表面の、前記カーボンナノチューブリングの近傍かつ離間された位置に他の電極を設けてなる、ことを特徴とするトランジスタである。

【0022】<10> 制御電極としてのカーボンナノチューブリングに、接続配線を介して端子を設けてなる<9>に記載のトランジスタであって、前記接続配線として、導電性のカーボンナノチューブを用いること特徴

とするトランジスタである。

<11> 前記導電性を有するカーボンナノチューブの直径が、1nm以上1μm以下であることを特徴とする<10>に記載のトランジスタである。

<12> 前記半導体基板表面に設けられる、前記1の電極および/または他の電極と、前記半導体基板表面と、の接合抵抗が、1mΩ以上100kΩ以下であることを特徴とする<9>～<11>のいずれか1に記載のトランジスタである。

【0023】<13> <9>～<12>のいずれか1に記載のトランジスタであって、半導体基板がシリコン基板であり、該シリコン基板の表面のダングリングボンドが水素末端処理されていることを特徴とするトランジスタである。

<14> 前記半導体特性もしくは導電性を有するカーボンナノチューブリングが、単一壁のカーボンナノチューブリング、もしくはその集合体であることを特徴とする<1>～<13>のいずれか1に記載のトランジスタである。

【0024】<15> 前記半導体特性もしくは導電性を有するカーボンナノチューブリングのリング外径が、10nm以上10μm以下であることを特徴とする<1>～<14>のいずれか1に記載のトランジスタである。

<16> 前記半導体特性もしくは導電性を有するカーボンナノチューブリングのチューブ部位の太さが、1nm以上1μm以下であることを特徴とする<1>～<15>のいずれか1に記載のトランジスタである。

【0025】本発明では、カーボンナノチューブがリング状に形成されたカーボンナノチューブリングを用いることで、安定した品質のトランジスタを形成することに成功している。これは、カーボンナノチューブからカーボンナノチューブリングを作製した際、得られるカーボンナノチューブリングの大きさ（リング外径）のばらつきが少なく、さらに得られたカーボンナノチューブリングを大きさごとに分別することが可能であり、安定した大きさのカーボンナノチューブリングを半導体材料あるいは電極材として用いることができるためである。

【0026】

【発明の実施の形態】本発明のトランジスタとしては、半導体特性を有するカーボンナノチューブリングを半導体材料として用いること特徴とするものと、導電性または半導体特性を有するカーボンナノチューブリングを電極材として用いること特徴とするものとの2つの形態がある。

【0027】前者は、例えば制御電極（ゲート電極）としてのn型半導体基板等の基板と、p型の半導体特性を有するカーボンナノチューブリングと、がリング面が当接するように電氣的に絶縁された状態で配置され、前記カーボンナノチューブリングに2つの電極を接続し、当

該電極をソース電極およびドレイン電極とすることで、ソース電極とドレイン電極に流れる電流、もしくはソース電極とドレイン電極に印加される電圧をゲート電極電位で変化させて制御し、能動的電子素子として機能する。なお、制御電極（ゲート電極）は、n型半導体基板等の基板に限らず、前記カーボンナノチューブリングの近傍かつ離間された位置に配されたものであれば、本発明において問題ない。また、基板としてn型半導体基板を用いる場合、具体的な材料としては、単結晶シリコン、ガリウム砒素、インジウム燐、窒化ガリウム、ダイヤモンド等が挙げられる。

【0028】後者は、例えばn型半導体基板と、導電性またはp型半導体特性を有するカーボンナノチューブリングと、がリング面が当接するようにショットキー接続された状態で配置され制御電極（ゲート電極）として機能し、前記半導体基板表面の、前記カーボンナノチューブリングの開口部から表出する部位に、1の電極（ドレイン電極またはソース電極）がオーム性接続され、さらに、前記半導体基板表面の、前記カーボンナノチューブリングの近傍かつ離間された位置に他の電極（ドレイン電極またはソース電極）がオーム性接続されたものである。ゲート電極としてのカーボンナノチューブリングは、該カーボンナノチューブリングの開口部内に配された1の電極と電気的に独立であり、当該1の電極と、前記カーボンナノチューブリングの近傍かつ離間された位置に配された他の電極との間に流れる電流、もしくは両電極間に印加される電圧を、ゲート電極電位で変化させることで制御し、能動的電子素子として機能する。

【0029】一般的にカーボンナノチューブの基本構造は、炭素の6員環より構成され、通常のグラファイトが閉じて中空の管になった構造をしている。カーボンナノチューブは、単一壁と多重壁の二種類に大別され、単一壁カーボンナノチューブは、一般にその太さ（直径）が1nmから10nmである。一方、多重壁カーボンナノチューブはその太さ（直径）も様々で、数100nmに達するものもある。前述のように、単一壁カーボンナノチューブは半導体特性と示すものと導電性を示すものの二種類が存在し、半導体特性と有するものは、p型であると推定されている。後述の実施例1においては、半導体特性を有する単一壁カーボンナノチューブがp型であることが証明されている。

【0030】前記カーボンナノチューブは、原料である単一壁カーボンナノチューブから以下のようにして製造することができる。まず、原料である単一壁カーボンナノチューブをアーク放電法もしくは化学気相法で作製する。その後、得られた単一壁カーボンナノチューブをメタノール中で超音波処理する。このとき、メタノール中に適当な界面活性剤を数%の濃度で混ぜることで、分散特性が向上する。次に、超音波中でカーボンナノチュー

ブは断裂するとともに、環状に変形し、カーボンナノチューブリングが形成される。遠心分離法により、このカーボンナノチューブリングを単離する。得られたカーボンナノチューブリングは、それ自体単独で存在するか、2ないし10本程度のバンドル（束）より構成されている（後者をカーボンナノチューブリングの「集合体」と称する）。また、個々の単一壁カーボンナノチューブは通常、半導体特性を示すならp型と推定されており、半導体特性と導電性とを決定する要因は、カーボンナノチューブのカイラル構造（ねじれ構造）の変化によるという解釈と、カーボンナノチューブの欠陥に起因しているという解釈があるが、詳細は現時点でも不明である。

【0031】なお、カーボンナノチューブの製造方法については、Journal of Physical Chemistry B (volume 103, Number 36, September 9, 1999, p. 7551-7556, R. Martel, H. R. Her and P. Avourisの文献において、p. 7552、左13行から右7行まで）等に詳細に記載されており、本発明において、かかる方法をそのまま適用することができる。本発明ではさらに、カーボンナノチューブリングの大きさを分別するために、R. Martelとは異なり、分散液として硫酸・過酸化水素水溶液を用いず、界面活性剤メタノール溶液を用い、超音波処理の時間と遠心分離条件とを最適化させることが望ましい。処理条件によって、20nmから50nmの範囲で、大きさが均等なカーボンナノチューブリングを得ることができる。

【0032】以下、本発明を、好ましい実施形態を挙げて詳細に説明する。

<第1の実施形態>図1は、本発明のトランジスタの第1の実施形態を示す模式斜視図である。本実施形態は、半導体特性を有するカーボンナノチューブリングを半導体材料として用いた例である。図1に示すように本実施形態のトランジスタは、ゲート電極（制御電極）としてのn型シリコン基板11の一方の表面に、数十nmの厚さの酸化シリコン膜（絶縁性薄膜）12が、他の表面に、Au等の金属電極によるゲート電極端子15が、それぞれ形成されており、酸化シリコン膜12の表面には、カーボンナノチューブリング17が、リング面が当接するように（すなわち、図1に示すように、リングが寝た状態で；以下同様）載置されている。カーボンナノチューブリング17には、その両端に多重壁カーボンナノチューブ16、16'が接続され、ソース電極およびドレイン電極として機能する。このとき、多重壁カーボンナノチューブ16、16'を形成する操作は、走査型プローブ顕微鏡をマニピレータとして用いることが望ましい。多重壁カーボンナノチューブ16、16'の、カーボンナノチューブリング17に接続された側と反対側のそれぞれの端部は、ソース電極端子13および

ドレイン電極端子14と接続されている。

【0033】本実施形態のトランジスタでは、ソース電極端子13とドレイン電極端子14との間に流れる電流もしくは電圧を、ゲート電極端子15の電位を変化させて制御することが可能になる。すなわち、高速動作が可能で、室温で動作するナノメートルサイズのトランジスタとなる。

【0034】カーボンナノチューブリング17に接続される2つの電極の電極材料としては、通常の金属を用いてもよいが、導電性を有するカーボンナノチューブ、特に本実施形態のように多重壁カーボンナノチューブ16、16'を用いることで、カーボンナノチューブリング17とのトンネル接合により、低接触抵抗の電極配線を実現することができる。

【0035】このときのカーボンナノチューブリング17と多重壁カーボンナノチューブ16、16'との接触抵抗としては、0mΩ以上1MΩ以下であることが好ましく、高速動作に望ましい1Ω以上100kΩ以下であることがより好ましい。多重壁カーボンナノチューブ16、16'の直径としては、1nm以上1μm以下であることが好ましく、5nm以上100nm以下であることがより好ましい。

【0036】カーボンナノチューブリング17としては、単一壁のカーボンナノチューブリング、もしくはその集合体であることが望ましく、そのリング外径としては、10nm以上10μm以下であることが好ましく、15nm以上1μm以下であることがより好ましく、20nm以上100nm以下であることがさらに好ましい。

【0037】また、カーボンナノチューブリング17としては、そのチューブ部位の太さ（カーボンナノチューブ自体の直径）が、1nm以上1μm以下であることが好ましく、5nm以上100nm以下であることがより好ましい。

【0038】本実施形態において、ゲート電極（制御電極）は、n型シリコン基板11を用いているが、導電性あるいはn型の半導体特性を有する材料であれば、如何なる材料をも用いることができる。すなわち、カーボンナノチューブリング17の近傍かつ離間された位置にゲート電極（制御電極）15が配されるようにすれば、問題ない。また、n型の半導体特性を有する材料を用いる場合、n型シリコン基板11の代わりに、ガリウム砒素、インジウム燐、窒化ガリウム、ダイヤモンド等の基板を用いることも可能である。

【0039】カーボンナノチューブリング17とゲート電極（制御電極）との間に配される絶縁性薄膜としては、本実施形態では酸化シリコン膜12を用いているが、勿論本発明においてはこれに限定されず、絶縁性を有する膜であれば、如何なる材料をも採用することができる。本実施形態のように、n型シリコン基板11を下

地基板として用いた場合には、その形成が容易である点で、酸化シリコン膜とすることが望ましい。絶縁性薄膜の厚みとしては、所望とするトランジスタの特性にもよるが、一般的には数十nmであり、具体的には5~20nmとすることが望ましい。

【0040】＜第2の実施形態＞図2は、本発明のトランジスタの第2の実施形態を示す模式斜視図である。本実施形態は、導電性または半導体特性を有するカーボンナノチューブリングを電極材として用いた例である。

【0041】図2に示すように本実施形態のトランジスタは、下地としてのn型半導体基板21の一方の表面に、n<sup>+</sup>領域を示すn型不純物層28が形成され、さらにその上にp型半導体特性を有するカーボンナノチューブリング27が、リング面が当接するように載置され、ゲート電極（制御電極）を構成する。カーボンナノチューブリング27には、導電性を有する多重壁カーボンナノチューブ26の一端が接続され、他端は、Au等の金属材料からなるゲート電極端子25と接続されている。また、n型半導体基板21表面の、カーボンナノチューブリング27の開口部から表出する部位に、多重壁カーボンナノチューブ29の一端がオーム性接続され、ソース電極（1の電極）22を構成し、他端は、カーボンナノチューブリング27をまたいで、ソース電極端子23と接続されている（ソース電極端子23とn型半導体基板21とは絶縁されている）。さらに、n型半導体基板21の、カーボンナノチューブリング27の近傍かつ離間された位置にドレイン電極（他の電極）24が、オーム性接続されている。

【0042】基板としては、カーボンナノチューブリング27としてp型半導体特性を有するものを用いているため、本実施形態ではn型半導体基板を用いるのが望ましい。基板として最も適しているのはシリコン基板であるが、その他のガリウム砒素、インジウム燐、窒化ガリウム、ダイヤモンド等を使用することも可能である。シリコン基板を用いた場合、大気中で取り扱うには、シリコン基板表面を安定化させる必要がある。フッ化水素水溶液でシリコン基板を処理すると、シリコン基板表面のダングリングボンド（相手をもたない結合）がH（水素）と結合する。シリコン基板の自然酸化膜厚は約1nm弱なので、例えばリング外径50nm程度のカーボンナノチューブリングを用いるに際しては、こうした下地基板の表面を安定化させることは効果的である。シリコン基板表面をHで安定化させることで、酸化物の影響を低減させ、カーボンナノチューブリングと下地基板の安定なショットキー接続を実現することが可能になる。

【0043】n型半導体基板21表面にAu等の金属材料からなるドレイン電極24を形成するが、当該ドレイン電極24は、n型半導体基板21とオーム性接続させる必要がある。オーム性接続を可能にするには、n型半導体基板表面にn<sup>+</sup>領域を形成することが望ましい。n<sup>+</sup>

領域を形成しn型不純物層28を形成するには、通常、イオン注入法で行うが、このときn型半導体基板21表面近傍に高濃度の不純物濃度を維持するために、注入イオン種としてはAsが望ましい。また、このイオン注入量としては、カーボンナノチューブリング27をゲート電極として用いる本実施形態の場合においては、平均濃度として、 $10^{18} \text{ cm}^{-3}$ 以上のn型不純物濃度が望まれる。

【0044】不純物濃度を向上させるためには、メカノケミカルポリッシング法（研磨剤グランゾックス）等の公知の方法で、n型不純物層28が形成されたn型半導体基板21表面を研磨することが望ましい。このとき研磨量としては、表面を100nm～2μm程度研磨することが望ましく、200～500nm程度研磨することがより望ましい。

【0045】ドレイン電極24とn型半導体基板21との接合抵抗としては、1mΩ以上100kΩ以下であることが望ましく、1Ω以上50kΩ以下であることがより望ましく、100Ω以上10Ω以下であることがさらに望ましい。

【0046】ドレイン電極24の近傍かつ離間された位置に、電氣的に独立したカーボンナノチューブリング27が固定され（載置され）、ゲート電極を構成するが、カーボンナノチューブリング27としては、本実施形態のようにp型半導体特性を有するものとするのが望ましいが、導電性を有するものであってもよい。

【0047】カーボンナノチューブリング27とドレイン電極24とは、近傍であって、かつ離間されることが必須であるが、具体的な両者の間隙としては、1nm～50μm程度であることが望ましく、5～200nm程度であることがより望ましい。

【0048】ゲート電極である当該カーボンナノチューブリング27には、既述の如く多重壁カーボンナノチューブ26の一端が接続され、他端はゲート電極端子25と接続されている。なお、本実施形態において、カーボンナノチューブリング27とゲート電極端子25との間の配線に導電性を有する多重壁カーボンナノチューブを用いているが、金等の金属配線を用いてもよい。ただし、本実施形態のように多重壁カーボンナノチューブを用いることで、カーボンナノチューブリング27とのトンネル接合により、低接触抵抗の電極配線を実現することができる。

【0049】既述の如く、多重壁カーボンナノチューブ29の一端が、n型半導体基板21表面の、カーボンナノチューブリング27の開口部から表出する部位にオーム性接続され、ソース電極22を構成し、他端は、ソース電極端子23と接続されている。なお、本実施形態において、ソース電極22とソース電極端子23との配線（接続配線）に導電性を有する多重壁カーボンナノチューブを用いているが、金等の金属配線を用いてもよい。

【0050】また、ソース電極22とn型半導体基板21との接合抵抗としては、1mΩ以上100kΩ以下であることが望ましく、1Ω以上50kΩ以下であることがより望ましく、100Ω以上10Ω以下であることがさらに望ましい。

【0051】本実施形態のトランジスタでは、ソース電極端子23とドレイン電極24との間に流れる電流もしくは電圧を、ゲート電極であるカーボンナノチューブリング27にかかる電位を変化させることで、制御することが可能になる。すなわち、高速動作が可能で、室温で動作するナノメーターサイズのトランジスタとなる。

【0052】本実施形態において用いるカーボンナノチューブリング27および多重壁カーボンナノチューブ26、29の好ましい態様（大きさ、両者が接続される場合の接触抵抗等）は、第1の実施形態で説明したカーボンナノチューブリング17および多重壁カーボンナノチューブ16、16'と同様であるため、その詳細な説明は省略する。

【0053】なお、本実施形態のトランジスタの態様で、下地基板として、シリコンと酸化シリコンより構成されるSOI（Semiconductor on insulator）基板を用いることは、さらに望ましい。このとき、ケミカルメカノポリッシング法とエッチングを併用させることで、表面の半導体層の厚さを約50nmにまで加工することが好ましい。さらに、酸化シリコン基板表面に化学気相法等多結晶シリコン層を形成させ、n型不純物を導入した基板を用いることも可能である。このとき、アニール法等により多結晶シリコン層の結晶粒径をカーボンナノチューブリングのリング外径より大きな1μm以上に再成長させることで、移動度の低下を防ぐことが可能になる。

【0054】＜第3の実施形態＞図3は、本発明のトランジスタの第3の実施形態を示す模式斜視図である。本実施形態は、半導体特性を有するカーボンナノチューブリングを半導体材料として用いた例である。

【0055】図3に示すように本実施形態のトランジスタは、ゲート電極（制御電極）18が、酸化シリコン膜（絶縁性薄膜）12表面のカーボンナノチューブリング17の近傍かつ離間された位置に設けられている態様である。その他、n型シリコン基板11、酸化シリコン膜12、ソース電極端子13、ドレイン電極端子14、多重壁カーボンナノチューブ16、16'、カーボンナノチューブリング17は、第1の実施形態と同様の構成であり、同様に配置される。

【0056】すなわち、本実施形態のトランジスタは、ゲート電極がn型シリコン基板11の背面ではなく、酸化シリコン膜（絶縁性薄膜）12表面のカーボンナノチューブリング17の近傍かつ離間された位置に設けられていることを除き、その好ましい態様を含め第1の実施形態と同様であり、図3において、第1の実施形態と同

一の機能を有する部材には図1と同一の符号を付し、その詳細な説明は省略する。

【0057】カーボンナノチューブリング17とゲート電極18とは、近傍であって、かつ離間されることが必須であるが、具体的な両者の間隙としては、1nm~50μm程度であることが望ましく、5~200nm程度であることがより望ましく、10nm前後であることが特に望ましい。

【0058】ゲート電極18は、金属配線でも導電性を有するカーボンナノチューブ（例えば多重壁カーボンナノチューブ）でも構わない。ゲート電極18には、接続配線19の一端が接続され、接続配線19の他端は、金等の金属材料からなるゲート電極端子30に接続される。接続配線19も、金属配線および導電性を有するカーボンナノチューブのいずれでも構わないが、ゲート電極18と同一の材料を用いることが望ましい。

【0059】本実施形態のトランジスタでは、ソース電極端子13とドレイン電極端子14との間に流れる電流もしくは電圧を、ゲート電極18の電位を変化させて制御することが可能になる。すなわち、高速動作が可能で、室温で動作するナノメートルサイズのトランジスタとなる。

【0060】なお、本実施形態では、基板として第1の実施形態と同様、n型シリコン基板11に絶縁性の酸化シリコン膜12を形成したものをを用いたが、カーボンナノチューブリング17が載置される面が絶縁性を有するものであれば、如何なる材料を用いることもできる（後述の第4の実施形態においても同様）。すなわち、基板そのものが絶縁性を有するものであってもよいし、本実施形態のように絶縁性、導電性を問わず任意の基体に、絶縁性薄膜を設けたものであってもよく、本発明において、これらの基板全てが「絶縁性基板」の概念に含まれる。

【0061】＜第4の実施形態＞図4は、本発明のトランジスタの第4の実施形態を示す模式斜視図である。本実施形態は、半導体特性を有するカーボンナノチューブリングを半導体材料として用いた例である。

【0062】図4に示すように本実施形態のトランジスタは、ゲート電極（制御電極）31が、酸化シリコン膜（絶縁性薄膜）12表面に載置されたカーボンナノチューブリング17のさらに上部に設けられている態様である。なお、ここでいう「上部」とは、地表面を基準とした上下関係を表すものではなく、酸化シリコン膜（絶縁性薄膜）12を基準にした場合におけるカーボンナノチューブリング17のさらに上部を意味するものとし、地表面を基準とした上下関係が逆転等していても全く問題ない。

【0063】その他、n型シリコン基板11、酸化シリコン膜12、ソース電極端子13、ドレイン電極端子14、多重壁カーボンナノチューブ16、16'、カーボ

ンナノチューブリング17は、第1の実施形態と同様の構成であり、同様に配置される。

【0064】カーボンナノチューブリング17のさらに上部に設けられるゲート電極31としては、数nm幅の貴金属極細線（AuやPt等）を適用することも可能であるが、導電性を有するカーボンナノチューブを用いるのが好ましい。導電性を有するカーボンナノチューブとしては、単一壁カーボンナノチューブおよび多重壁カーボンナノチューブの両者が適用可能である。

【0065】ゲート電極31には、接続配線32の一端が接続され、接続配線32の他端は、金等の金属材料からなるゲート電極端子33に接続される。接続配線32も、金属配線および導電性を有するカーボンナノチューブのいずれでも構わないが、ゲート電極31と同一の材料を用いることが望ましい。

【0066】本実施形態のトランジスタでは、ソース電極端子13とドレイン電極端子14との間に流れる電流もしくは電圧を、ゲート電極31の電位を変化させて制御することが可能になる。すなわち、高速動作が可能で、室温で動作するナノメートルサイズのトランジスタとなる。

【0067】ゲート電極31として導電性を有するカーボンナノチューブを用いた場合、ゲート電極31と、半導体特性を有するカーボンナノチューブリング17との接続は、ショットキー接続になり、この場合、ショットキー型電界効果トランジスタを形成することができる。

【0068】以上、本発明のトランジスタを4つの実施形態を挙げて詳細に説明したが、本発明はこれらに限定されるものではなく、既述の本発明の原理が応用され得る構成であれば、如何なる構成をも採用することができる。

#### 【0069】

【実施例】以下に本発明の実施例を示すが、本発明はこれらの例に制限されるものではない。

（実施例1）アーク放電法で作製した単一壁カーボンナノチューブを超音波処理することで、カーボンナノチューブリングを作製した。具体的には、界面活性剤（和光純薬製、塩化ベンザルコニウム）のメタノール溶液（界面活性剤濃度5%）100mlに単一壁カーボンナノチューブを50mg分散させ、超音波処理（周波数20kHz、出力50w）を約1時間行った。その後、遠心分離法で約30分間、遠心分離処理した。液中に分散されているカーボンナノチューブリングをフィルターで回収後、フィルター上でメタノールとアセトンにより洗浄した。得られたカーボンナノチューブリングのリング外径は約20nmから50nm、チューブ部位の太さは2nmから30nmであった。なお、本実施例では、リング外径約50nm、チューブ部位の太さ5nmのp型半導体特性を有するものを用いた。

【0070】得られたカーボンナノチューブリングを用いて、以下のようにして図1に示すトランジスタを作製した。下地基板としては、(111)面のn型シリコン基板11を用いた。まず、表面を洗剤洗浄後、純水でリンスし、イソプロピルアルコール蒸気で処理し、乾燥させた。その後、n型シリコン基板11の片面(裏面)にAuを蒸着し、ゲート電極端子15を配置した。さらに、プラズマCVD法で50nmの酸化シリコン膜12を成長させ、その上に、減圧CVD法で多結晶シリコン層を形成させた。次に、n型シリコン基板11の表面にイオン注入法でAsをドーパ(イオン注入加速エネルギー40keV、イオン注入量約 $2 \times 10^{15} \text{ cm}^{-2}$ )し、ラピッドアニーリング法(ピーク温度約1200℃)で結晶回復させた。次に、表面の酸化膜除去と表面を安定させるために、HFで処理し、n型シリコン基板11表面のダングリングボンドをHで末端処理した。一般に、Si(111)面をH末端処理すると、安定なSi-H<sub>2</sub>が形成されるので、大気中でも、シリコン基板表面が酸化されにくくなる。

【0071】この状態で、n型シリコン基板11表面の酸化シリコン膜12の上に、メタノールに分散された前記カーボンナノチューブリングをスピコート法で展開し、カーボンナノチューブリング17を載置した。次いで、カーボンナノチューブリング17の両端に、多重壁カーボンナノチューブ16、16'(直径約15nm)を接続し、かつ多重壁カーボンナノチューブ16、16'の他端がソース電極端子13およびドレイン電極端子14と接続するように配線した。多重壁カーボンナノチューブ16、16'の配線には、2つのピエゾアクチュエータをもつ走査型プローブ顕微鏡(SPM)を用い、プローブとして多重壁カーボンナノチューブを用いた。

【0072】このようにして得られた実施例1のトランジスタについて、n型シリコン基板11より構成されるゲート電極の電位を変化させることで、カーボンナノチューブリング17のソース電極およびドレイン電極間の電流電圧特性に変化が現れることを確認した。すなわち、ゲート電極端子15の電位(V<sub>g</sub>)を0V~5Vの間1V刻みで変化させて、ソース電極端子13とドレイン電極端子14との間の電流電圧特性を、KEITHLEY社製エレクトロメーター6514を用いることにより測定した。なお、測定は室温(23℃)中で行った。その結果を図5に示す。

【0073】(実施例2) 実施例1において得られたカーボンナノチューブリングを用いて、以下のようにして図2に示すトランジスタを作製した。実施例1と同様の(111)面のn型半導体基板21を用意し、表面にイオン注入法でAsを注入し、n<sup>+</sup>領域のn型不純物層28を形成した。As濃度を表面で最も高くするために、メカノケミカルポリッシング法(研磨剤グランゾック

ス)で、表面を300nm程度研磨した。

【0074】次に、表面にスパッタリング法でAuを部分的に蒸着し、オーム性接続されたドレイン電極24電極を形成した。さらに、実施例1と同様に、n型半導体基板21表面をH末端処理処理することで安定化させた。

【0075】この状態で、n型シリコン基板11表面のn型不純物層28の上に、メタノールに分散された前記カーボンナノチューブリングをスピコート法で展開し、カーボンナノチューブリング27を載置した。このときのカーボンナノチューブリング27は、リング外径約50nm、チューブ部位の太さ8nmの導電性を有するものを用いた。

【0076】実施例1と同様に、2つのピエゾアクチュエータをもつ走査型プローブ顕微鏡(SPM)を用い、プローブとして多重壁カーボンナノチューブ(直径約15nm)を使用し、配線した。まず、カーボンナノチューブリング27およびゲート電極端子25に、SPMの第一プローブで多重壁カーボンナノチューブ26を接続し、次に、第二プローブで多重壁カーボンナノチューブ29をカーボンナノチューブリング27の開口部から表出する部位のn型半導体基板21の表面、および、ソース電極端子23に接続した。このようにして、実施例2のトランジスタを作製した。

【0077】このようにして得られた実施例2のトランジスタについて、カーボンナノチューブリング27より構成されるゲート電極の電位を変化させることで、ソース電極22およびドレイン電極24間の電流電圧特性に変化が現れることを確認した。すなわち、ゲート電極端子25の電位(V<sub>g</sub>)を0V~5Vの間1V刻みで変化させて、ソース電極端子23とドレイン電極24との間の電流電圧特性を、KEITHLEY社製エレクトロメーター6514を用いることにより測定した。その結果を図6に示す。

【0078】

【発明の効果】本発明のトランジスタによれば、カーボンカーボンナノチューブを利用したナノメーターサイズの微小で高速動作可能な室温で動作するスイッチング素子を実現でき、工業的有用性は極めて高い。

【図面の簡単な説明】

【図1】 本発明のトランジスタの第1の実施形態を示す模式斜視図である。

【図2】 本発明のトランジスタの第2の実施形態を示す模式斜視図である。

【図3】 本発明のトランジスタの第3の実施形態を示す模式斜視図である。

【図4】 本発明のトランジスタの第4の実施形態を示す模式斜視図である。

【図5】 本発明の実施例のトランジスタにおけるソース電極およびドレイン電極間の電流電圧特性である。

【図6】 本発明の他の実施例のトランジスタにおけるソース電極およびドレイン電極間の電流電圧特性である。

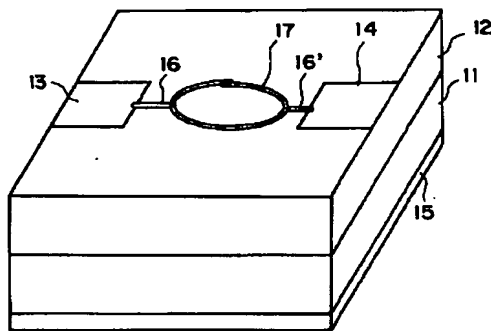
【符号の説明】

- 11 n型シリコン基板  
12 酸化シリコン膜  
13、23 ソース電極端子  
14 ドレイン電極端子  
15、25、30、33 ゲート電極端子  
16、16'、26、29 多重壁カーボンナノチューブ\*10

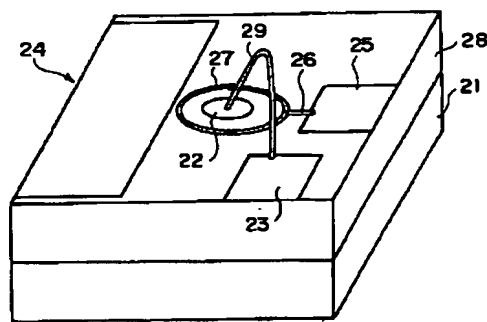
\*ブ

- 17、27 カーボンナノチューブリング  
18、31 ゲート電極  
19 接続配線  
21 n型半導体基板  
22 ソース電極  
24 ドレイン電極  
28 n型不純物層  
32 接続配線

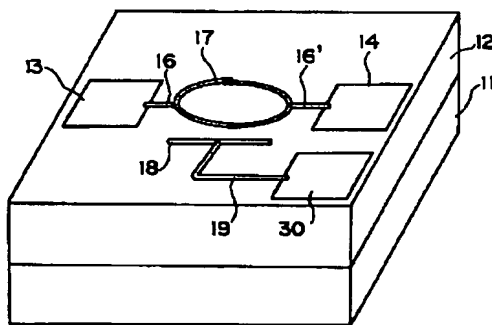
【図1】



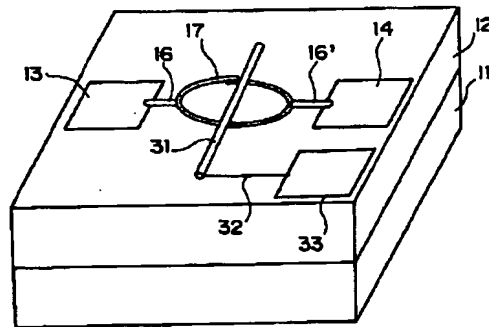
【図2】



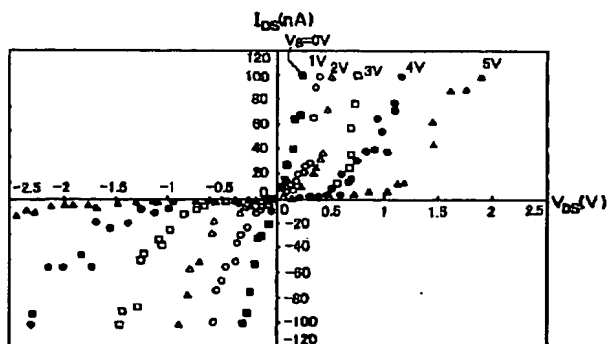
【図3】



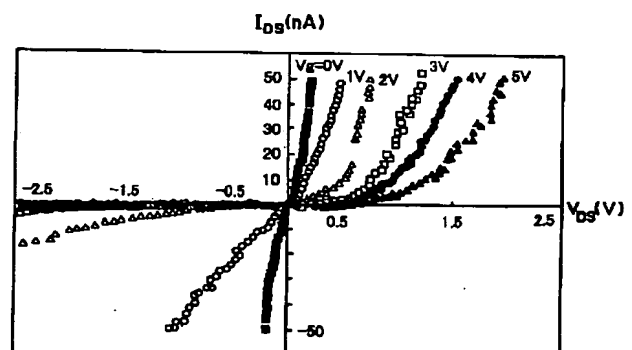
【図4】



【図5】



【図6】





## フロントページの続き

(51)Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)	
H O 1 L	29/786	H O 1 L	29/78	6 1 8 B
	21/338			6 2 2
	29/812		29/80	B
	21/337			C
	29/808			

(72)発明者 真鍋 力  
 神奈川県南足柄市竹松1600番地 富士ゼロ  
 ックス株式会社内

F ターム (参考) 4M104 AA01 AA04 AA05 AA10 BB01  
 BB36 CC01 CC03 CC05 FF13  
 GG09 GG12  
 5F040 DC01 EC04 EC16 EC19 EC26  
 EE01 EF01 EH02  
 5F102 FB10 GB01 GC01 GD01 GD04  
 GJ03 GJ05 GL02 GL10 GR01  
 GS03 GS07 GT01 HC01 HC11  
 5F110 AA01 CC10 DD05 DD13 EE01  
 EE22 EE36 GG01 GG22 GG23